

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-083976

(43)Date of publication of application : 22.03.2002

(51)Int.Cl.

H01L 29/861

(21)Application number : 2001-003883

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 11.01.2001

(72)Inventor : NAITO TATSUYA
KIRISAWA MITSUAKI
OTSUKI MASATO
NEMOTO MICHIO

BEST AVAILABLE COPY

(30)Priority

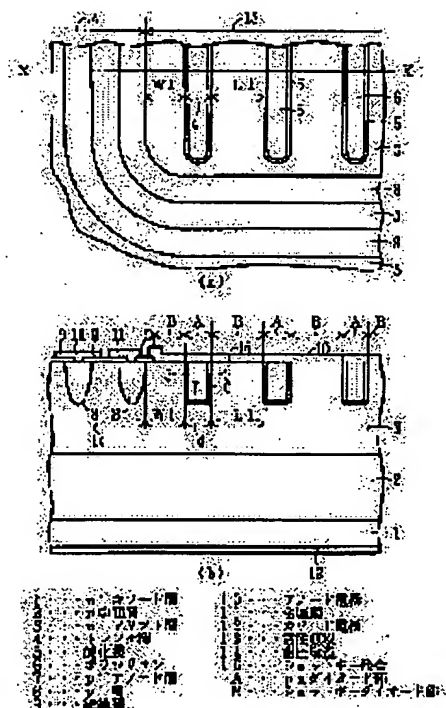
Priority number : 2000185643 Priority date : 21.06.2000 Priority country : JP

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device which can make the resistances of trench groove sections lower by securing a stable breakdown voltage by preventing the concentration of electric fields in the vicinity of a voltage resistant structure.

SOLUTION: In a semiconductor rectifier element having an MPS structure in which p-n diode sections A and Schottky diode sections formed of anode electrodes 10 and n- drift layers 3 are arranged in parallel with each other, the breakdown voltage is stably secured by setting the interval W1 between the end section facing a trench groove 4 of the innermost p+ layer 8 of a guard ring and the end section facing the layer 8 of the outermost trench groove 4 and the interval L1 between the trench grooves 4 to meet the relation of $W1 \leq L1$. In addition, the resistances of the trench grooves 4 are reduced by forming the grooves 4 in ring-like shapes so that no cavity may be formed in the polysilicon filling up the grooves 4.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-83976
(P2002-83976A)

(43) 公開日 平成14年3月22日 (2002.3.22)

(51) Int.Cl.⁷
H 0 1 L 29/861

識別記号

F I
H 0 1 L 29/91

フォーマット (参考)
D

審査請求 未請求 請求項の数 7 O L (全 9 頁)

(21) 出願番号 特願2001-3883(P2001-3883)
(22) 出願日 平成13年1月11日 (2001.1.11)
(31) 優先権主張番号 特願2000-185643(P2000-185643)
(32) 優先日 平成12年6月21日 (2000.6.21)
(33) 優先権主張国 日本 (J P)

(71) 出願人 000005234
富士電機株式会社
神奈川県川崎市川崎区田辺新田1番1号
(72) 発明者 内藤 達也
神奈川県川崎市川崎区田辺新田1番1号
富士電機株式会社内
(72) 発明者 桐沢 光明
神奈川県川崎市川崎区田辺新田1番1号
富士電機株式会社内
(74) 代理人 100088339
弁理士 篠部 正治

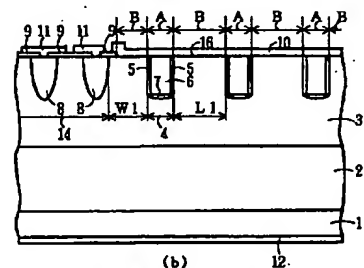
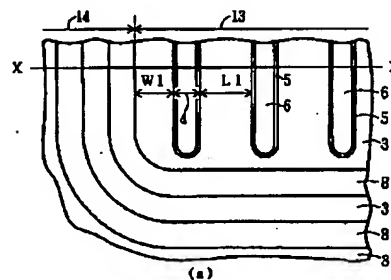
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 耐圧構造近傍での電界集中を防止し、安定した耐圧を確保し、トレンチ溝部の抵抗を小さくできる半導体装置を提供すること。

【解決手段】 p nダイオード部Aと、アノード電極10とn⁺ドリフト層3で形成されるショットキーダイオード部Bが並列に配置されたMPS構造の半導体整流素子で、ガードリングの最内周のp⁺層8のトレンチ溝4と対向する端部と、最外周に形成されるトレンチ溝4のp⁺層8と対向する端部との間隔をW1とし、トレンチ溝間の間隔をL1としたとき、 $W1 \leq L1$ とすることで安定に耐圧を確保する。また、トレンチ溝をリング状にして、トレンチ溝を充填するポリシリコンに空洞が発生しないようにして、トレンチ溝部の抵抗を小さくする。



1 n⁺ ソード層
2 n⁺ ドリフト層
3 p⁺ 層
4 トレンチ溝
5 酸化膜
6 ポリシリコン
7 p⁺ 層
8 p⁺ 層
9 絶縁膜
10 アノード電極
11 金膜層
12 カバー層
13 耐圧構造
14 耐圧溝
A ショットキーダイオード部
B ショットキーダイオード部

【特許請求の範囲】

【請求項1】第1導電形の半導体基板の第1主面の表面層に形成された複数のトレンチ溝と、該トレンチ溝の底部に形成された第2導電形のアノード層と、該トレンチ溝に挟まれた半導体基板の表面に形成されたショットキー接合と、前記半導体基板の周辺部に形成された耐压構造と、半導体基板の第2主面の表面層に形成されたカソード層とを有する半導体装置において、前記耐压構造の内端と最外周に配置された前記トレンチ溝との最長間隔を該トレンチ溝間隔以下とすることを特徴とする半導体装置。

【請求項2】第1導電形の半導体基板の第1主面の表面層に形成された複数のトレンチ溝と、該トレンチ溝の底部に形成された第2導電形のアノード層と、該トレンチ溝に挟まれた半導体基板の表面に形成されたショットキー接合と、前記半導体基板の周辺部に形成された耐压構造と、半導体基板の第2主面の表面層に形成されたカソード層とを有する半導体装置において、前記耐压構造の内端と最外周に配置された前記アノード層との最長間隔を該アノード層間隔以下とすることを特徴とする半導体装置。

【請求項3】第1導電形の半導体基板の第1主面の表面層に選択的に形成されたトレンチ溝と、該トレンチ溝の底部に形成された第2導電形のアノード層と、該トレンチ溝に囲まれた島状の半導体基板の表面に形成されたショットキー接合と、前記半導体基板の周辺部に形成された耐压構造と、半導体基板の第2主面の表面層に形成されたカソード層とを有する半導体装置において、前記耐压構造の内端と最外周に配置された前記アノード層との最長間隔を該アノード層間隔以下とすることを特徴とする半導体装置。

【請求項4】前記アノード層の横幅が前記トレンチ溝幅より広いことを特徴とする請求項2または3のいずれかに記載の半導体装置。

【請求項5】前記耐压構造がガードリングまたはフィールドプレートであることを特徴とする請求項1ないし3のいずれかに記載の半導体装置。

【請求項6】前記 p^+ 層の拡散深さが、前記アノード層底部の前記第1主面からの深さより深いことを特徴とする請求項1ないし3のいずれかに記載の半導体装置。

【請求項7】第1導電形の半導体基板の第1主面の表面層に形成された複数のトレンチ溝と、該トレンチ溝の底部に形成された第2導電形のアノード層と、該トレンチ溝に挟まれた半導体基板の表面層に形成されたショットキー接合と、前記半導体基板の第2主面の表面層に形成されたカソード層とを有する半導体装置において、前記トレンチ溝の平面形状が、リング状であることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、電力用半導体整流素子（電力用ダイオード）などの半導体装置に関する。

【0002】

【従来の技術】電力用ダイオードは、様々な用途に利用されているが、近年、数kHzから数十kHzの電力用素子としては比較的高周波で動作するインバータ回路などに使われるようになってきた。このような高周波動作で使用される電力用ダイオードには、スイッチング速度を速くすることが強く求められている。従来の電力用ダイオードは、主にpnダイオードであり、このダイオードはpn接合で耐压を確保するために、ショットキー接合で耐压を確保するショットキーダイオードに比べて、漏れ電流が小さい。しかしながら、pnダイオードは、オン動作時に、nベース層に少数キャリアが過度に蓄積され、この蓄積されたキャリアを逆回復動作時に掃き出す必要があり、このキャリアの掃き出しに時間が掛かるために、スイッチング速度が遅くなる。それを早めるために、金原子や白金原子などの重金属拡散や電子線照射などでライフタイムキラーをnベース層に導入して、素子的高速化を図っている。

【0003】近年、pnダイオードとショットキーダイオードを1チップ内に並列に配置させたMPS (Merged pin/Schottky Diode) 構造の電力用の半導体整流素子（電力用ダイオード）が発表されている。このMPS構造において、特開昭60-31271号公報に開示されているプレーナ型では、ショットキー接合部での電界強度を十分低く抑えられないために、漏れ電流が増大する。それを解決するために、トレンチ溝を形成し、このトレンチ溝の底部と場合によっては側面にpn接合を形成し、トレンチ溝に挟まれた箇所表面にショットキー接合を形成した構造が特開平5-63184号公報、特開平5-110062号公報、特開平5-226638号公報に開示されている。

【0004】これらのトレンチ型のMPS構造の電力用ダイオードの活性領域はトレンチ溝が形成され、トレンチ溝の底部にはpn接合が形成され、側面には絶縁膜が形成され、メサ部（凸部）にはショットキーダイオードが形成されていることが開示されているが、耐压構造と活性領域の関係は論じられていない。通常、活性領域を囲むように配置される耐压構造にはガードリングやフィールドプレートが採用される。

【0005】このトレンチ型のMPS構造の電力用ダイオードに逆バイアスを印加すると、活性領域内のトレンチ溝に挟まれた箇所は空乏化し、耐压は確保されるが、耐压構造に空乏層が達して、耐压構造が有効に働くためには、耐压構造とこの耐压構造に隣接するトレンチ溝の距離が重要となる。

【0006】

【発明が解決しようとする課題】前記のトレンチ溝と耐

圧構造（ガードリングやフィールドプレート）との距離が離れすぎると、空乏層が耐圧構造部に達しにくくなり、この箇所電界強度が高まり素子が破壊してしまう。また、トレンチ溝の平面形状が円形で、幅が狭く、深さが深くなり過ぎると、トレンチ溝を充填するポリシリコンに空洞が発生して、トレンチ溝部の抵抗を増大させる。

【0007】この発明の目的は、前記の課題を解決して、耐圧構造近傍での電界集中を防止し、安定した耐圧を確保できる半導体装置、または、トレンチ溝部の抵抗を小さくできる半導体装置を提供することにある。

【0008】

【課題を解決するための手段】前記の目的を達成するために、第1導電形の半導体基板の第1主面の表面層に形成された複数のトレンチ溝と、該トレンチ溝の底部に形成された第2導電形のアノード層と、該トレンチ溝に挟まれた半導体基板の表面に形成されたショットキー接合と、前記半導体基板の周辺部に形成された耐圧構造と、半導体基板の第2主面の表面層に形成されたカソード層とを有する半導体装置において、前記耐圧構造の内端と最外周に配置された前記トレンチ溝との最長間隔を該トレンチ溝間隔以下とする構成とする。

【0009】第1導電形の半導体基板の第1主面の表面層に形成された複数のトレンチ溝と、該トレンチ溝の底部に形成された第2導電形のアノード層と、該トレンチ溝に挟まれた半導体基板の表面に形成されたショットキー接合と、前記半導体基板の周辺部に形成された耐圧構造と、半導体基板の第2主面の表面層に形成されたカソード層とを有する半導体装置において、前記耐圧構造の内端と最外周に配置された前記アノード層との最長間隔を該アノード層間隔以下とする構成とする。

【0010】また、第1導電形の半導体基板の第1主面の表面層に選択的に形成されたトレンチ溝と、該トレンチ溝の底部に形成された第2導電形のアノード層と、該トレンチ溝に囲まれた島状の半導体基板の表面に形成されたショットキー接合と、前記半導体基板の周辺部に形成された耐圧構造と、半導体基板の第2主面の表面層に形成されたカソード層とを有する半導体装置において、前記耐圧構造の内端と最外周に配置された前記アノード層との最長間隔を該アノード層間隔以下とする構成とする。

【0011】また、前記アノード層の横幅が前記トレンチ溝幅より広いとよい。また、前記耐圧構造がガードリングまたはフィールドプレートであるとよい。また、前記 p^+ 層の拡散深さが、前記アノード層底部の前記第1主面からの深さより深くするとよい。第1導電形の半導体基板の第1主面の表面層に形成された複数のトレンチ溝と、該トレンチ溝の底部に形成された第2導電形のアノード層と、該トレンチ溝に挟まれた半導体基板の表面層に形成されたショットキー接合と、前記半導体基板の

第2主面の表面層に形成されたカソード層とを有する半導体装置において、前記トレンチ溝の平面形状が、リング状であるとよい。

【0012】

【発明の実施の形態】図1は、この発明の第1実施例の半導体装置で、同図(a)は平面図、同図(b)は同図(a)のX-X線で切断した要部断面図である。以下の一連の図の説明で、平面図はすべて半導体表面での図であり、アノード電極10や金属膜11などは図示されていない。

【0013】この半導体整流素子は n^+ カソード層1の上に n 型の中間層2をエピタキシャル成長させ形成させ、 n 中間層2の濃度より少し低くなるように、さらにエピタキシャル成長させて、 n^- ドリフト層3を得る。ここで、 n 中間層2の有無は重要でなく n^- ドリフト層3のみでも構わない。この n^- ドリフト層3に等間隔に配置されたトレンチ溝4を形成し、トレンチ溝4の側壁と底部に酸化膜（図では側壁の酸化膜5が示されている）を形成し、底部の酸化膜を除去する。

【0014】その後、ポリシリコン6を充填し、図示しないポリシリコン6の箇所が開口された酸化膜をマスクとして、このポリシリコン6を介して、 100keV で $1 \times 10^{14}\text{cm}^{-2}$ のドーズ量のボロンを注入し、熱処理して p^- アノード層7を形成する。表面にアノード電極10を形成する。このアノード電極10と n^- ドリフト層3の表面はショットキー接合が形成されるようにする。このとき、ポリシリコン6の表面とアノード電極10はオーミック接触する。

【0015】このようにして、 p^- アノード層7と n^- ドリフト層3で形成される $p-n$ ダイオード部Aと、アノード電極10と n^- ドリフト層3で形成されるショットキーダイオード部Bが並列に配置されたMPS構造の半導体整流素子が形成される。ここで素子の諸元について説明する。トレンチ深さは $3\mu\text{m}$ 、トレンチ溝幅は $3\mu\text{m}$ 、メサ幅 L_1 （ショットキー接合16を形成する部分の幅）は $5\mu\text{m}$ 、 p^- アノード層7の拡散深さは $0.5\mu\text{m}$ 、 n^- ドリフト層3の濃度は $1 \times 10^{14}\text{cm}^{-3}$ 、 n^+ カソード層1の濃度は $1 \times 10^{18}\text{cm}^{-3}$ である。この活性領域13の回りには耐圧構造14であるガードリングを構成する p^+ 層8が複数本形成され、その接合深さは約 $8\mu\text{m}$ である。

【0016】このガードリングの最内周の p^+ 層8のトレンチ溝4と対向する端部と、最外周に形成されるトレンチ溝4の p^+ 層8と対向する端部との間隔を W_1 とし、トレンチ溝間の間隔を L_1 としたとき、 $W_1 \leq L_1$ とすることで、後述の図4で説明されるように耐圧を確保することができる。このとき、 p^+ 層8の拡散深さ（接合深さ）がトレンチ溝4の深さより深い方が耐圧確保上望ましい。これは、トレンチ溝4の深さが浅い場合、この浅いトレンチ溝4並に p^+ 層8の拡散深さが浅

くなると、ガードリング部での耐圧が確保できなくなる可能性があるためである。

【0017】前記した p^- アノード層幅はトレンチ溝幅とほぼ同じに形成される場合である。また、トレンチ溝間隔 $L1$ が等間隔でない場合には、 $L1$ は最長間隔とする。尚、図中の9は絶縁膜、11は金属膜である。尚、耐圧構造として、図示したガードリングの外側にフィールドプレートを設置しても構わない。また、図2は、このトレンチ溝4が、 p^+ 層8に接した場合で $W1=0$ の場合を示す図であり、図3は、このトレンチ溝4が、 p^+ 層8内に一部入り込んだ場合を示す図である。この場合も $W1 \leq L1$ を満足するので耐圧を確保できる。

【0018】また、 p^+ 層8の拡散深さがトレンチ溝4の底部に形成される p^- アノード層7の底部の深さ（メサ部の n^- ドリフト層3表面からの深さ）より深いとき、トレンチ溝4と p^- アノード層7が p^+ 層8内に完全に入り込んでも、入り込んだトレンチ溝4の隣のトレンチ溝と p^+ 層8との間隔が $W1$ 以下となるため耐圧は確保できる。

【0019】図4は、図1の半導体装置において、 p^+ 層8とトレンチ溝4との距離 $W1$ と耐圧の関係を示す図である。 $W1$ がトレンチ溝間隔 $L1$ より大きくなると耐圧が低下する。これは、最外周に配置されたトレンチ溝4の底部の p^- アノード層7から n^- ドリフト層3に伸びる空乏層が p^+ 層8に達しにくくなり、そのため、この箇所電界強度が高まるためである。このことから、前記したように、 p^+ 層8と最外周に配置されるトレンチ溝4との間隔 $W1$ をトレンチ溝間隔 $L1$ 以下とすると耐圧が確保されることが分かる。

【0020】図5は、この発明の第2実施例の半導体装置で、同図(a)は平面図、同図(b)は同図(a)のX-X線で切断した要部断面図である。図1との違いは、 p^- アノード層7がトレンチ溝4幅よりも広く飛び出している点である。この場合も、最内周に配置される p^+ 層8のトレンチ溝4と対向する端部と、最外周に配置されるトレンチ溝4の底部に形成される p^- アノード層7の p^+ 層8と対向する端部との間隔 $W2$ を、 p^- アノード層間隔 $L2$ 以下とすることで、耐圧を確保することができる。また、 p^+ 層8の拡散深さを p^- アノード層7の底部の深さより深くすると、一層安定した耐圧を確保することができる。

【0021】図6は、この発明の第3実施例の半導体装置で、同図(a)は平面図、同図(b)は同図(a)のX-X線で切断した要部断面図である。トレンチ溝24の平面形状が円形の場合である。この場合も p^+ 層8と最外周に配置されるトレンチ溝24との距離 $W3$ をトレンチ溝間隔 $L3$ 以下とすることで、図1と同様の効果が期待できる。尚、トレンチ溝間隔 $L3$ は、トレンチ溝24間で最も離れている箇所の間隔とし、図では対角線に配置されたトレンチ溝24の間隔がこれに相当する。

尚、このトレンチ溝24の平面形状は円形に限らず、多角形や帯状をしていても構わない。

【0022】図7は、この発明の第4実施例の半導体装置で、同図(a)は平面図、同図(b)は同図(a)のX-X線で切断した要部断面図である。図6との違いは p^- アノード層7がトレンチ溝24幅よりも広く飛び出している点である。この場合も、 p^+ 層8と最外周に配置されるトレンチ溝4の底部に形成される p^- アノード層7との間隔 $W4$ を p^- アノード層7間隔 $L4$ 以下とすることで、耐圧を確保することができる。

【0023】図8は、この発明の第5実施例の半導体装置で、同図(a)は平面図、同図(b)は同図(a)のX-X線で切断した要部断面図である。ショットキー接合16を形成するメサ部31が島状に形成された場合である。 p^+ 層8と最外周に配置されるメサ部31との間隔 $W5$ をメサ部の幅 $L5$ 以下とすることで、耐圧を確保することができる。島の平面形状は円形や多角形でも構わない。

【0024】図9は、この発明の第6実施例の半導体装置で、同図(a)は平面図、同図(b)は同図(a)のX-X線で切断した要部断面図である。図8との違いは、 p^- アノード層47がトレンチ溝4よりも広く飛び出している点である。この場合も、 p^+ 層8と最外周に配置されるトレンチ溝4の底部に形成される p^- アノード層47との間隔 $W6$ を p^- アノード層47間隔 $L6$ 以下とすると、図1と同様の効果が期待できる。

【0025】図10は、この発明の第7実施例の半導体装置で、同図(a)は平面図、同図(b)は同図(a)のX-X線で切断した要部断面図である。耐圧構造14がフィールドプレートの場合であり、この場合は、 $W7$ はフィールドプレート端（トレンチ溝4と対向する絶縁膜51の端部：絶縁膜51の内端に相当する）であり、 $L7$ はトレンチ溝4間隔である。この場合も $W7 \leq L7$ とすると、耐圧が確保できる。また、図5に相当する p^- アノード層7の幅がトレンチ溝幅より広い場合には、図5と同様に考えることができるので説明は省略する。尚、図中の52は n^- ドリフト層3の電位を金属膜53に伝える n^+ 層で、金属膜53はフィールドプレートの低電位側となる。

【0026】図11は、この発明の第8実施例の半導体装置で、同図(a)は平面図、同図(b)は同図(a)のX-X線で切断した要部断面図である。図10との違いは、トレンチ溝24の配置が正三角配置である点である。この配置にすると、隣り合うトレンチ溝24の距離が全て等しくなる。その結果、隣り合う p^- アノード層間隔 $L8$ も全て等しくなり、そのため、各セル間のピンチオフ電圧が等しくなり、電界強度が緩和される。また、 p^+ 層8と最外周に配置されるトレンチ溝24の底部に形成される p^- アノード層7との間隔 $W8$ を p^- アノード層7間隔 $L8$ 以下とすることで、図7と同様に耐



圧を確保することができる。尚、セルとは、トレンチ溝24とpアノード層7を含めた単位ユニットをいう。

【0027】図12は、この発明の第9実施例の半導体装置で、(a)はセルの平面図、(b)は(a)のX-X線で切断したセル断面図である。前記したトレンチ溝との違いは、トレンチ溝の形状がリング状となっている点である。図7の円形のトレンチ溝24では、充填したポリシリコン6内に空洞(簾)が発生する場合があるが、リング状のトレンチ溝24aとすることで、この空洞の発生を防止できる。

【0028】これは、円形のトレンチ溝24では、側壁上部に堆積するポリシリコン量の方が、底部に堆積するポリシリコン量より多くなるために、上部がポリシリコンで塞がれても、内部では空洞が埋まらない状態が生じる。一方、ストライプ状のトレンチ溝では、側壁が細長く平行して対向しており、上部が塞がれた場合には下部も塞がれ、空洞が発生しない。リング状のトレンチ溝24aも、ストライプ状のトレンチ溝と類似で、側壁は対向しており、そのため、円形のトレンチ溝24と比べると、空洞が出来にくくなる。

【0029】空洞の発生が防止されることで、ポリシリコン6の抵抗を小さくできる。その結果、オン電圧の低い半導体装置とすることができる。このリング状のトレンチ溝24aでは、トレンチ溝24aの深さTが深い程、外周直径D1が小さい程、および内周直径D2が小さい程およびトレンチ溝の幅 $((D1-D2)/2)$ が小さい程、充填するポリシリコン6に空洞が発生し易い。例えば、Tが数 μm 、D2が1 μm 程度の場合は、 $D2/D1 \leq 0.5$ とすることで、充填するポリシリコンに空洞が発生することを防止できる。

【0030】また、リング状のトレンチ溝24aの底部に形成される各p⁻アノード領域7は、互いに接触しないように形成する。また、このリング状のトレンチ溝24aを図7のように配置することで、図7と同様の効果が得られることは勿論である。尚、ストライプ状のトレンチ溝の場合も、両端部の曲率部分を、半円のリング状とすることで、この箇所での空洞の発生を防止できる。

【0031】

【発明の効果】この発明は、耐圧構造とトレンチ溝またはトレンチ溝の底部に形成されるp⁻アノード層との距離Wとp⁻アノード層間隔Lの関係を $W \leq L$ にすることによって、耐圧構造近傍の電界集中を防止することができ、安定した耐圧特性を得ることができる。

【0032】また、トレンチ溝を正三角形配置することで、各セル間のピンチオフ電圧を等しくして、電界強度を緩和し、安定した耐圧特性を得ることができる。さらに、トレンチ溝の平面形状をリング状(リング状セル)にすることで、トレンチ溝を充填するポリシリコンに、空洞が発生することが防止され、トレンチ溝部での抵抗を小さくできる。

【図面の簡単な説明】

【図1】この発明の第1実施例の半導体装置で、(a)は平面図、(b)は(a)のX-X線で切断した要部断面図

【図2】図1のトレンチ溝4が、p⁺層8に接した場合でW1=0の場合を示す図

【図3】図1のトレンチ溝4が、p⁺層8内に一部入り込んだ場合を示す図

【図4】図1の半導体装置において、p⁺層8とトレンチ溝4との距離W1と耐圧の関係を示す図

【図5】この発明の第2実施例の半導体装置で、(a)は平面図、(b)は(a)のX-X線で切断した要部断面図

【図6】この発明の第3実施例の半導体装置で、(a)は平面図、(b)は(a)のX-X線で切断した要部断面図

【図7】この発明の第4実施例の半導体装置で、(a)は平面図、(b)は(a)のX-X線で切断した要部断面図

【図8】この発明の第5実施例の半導体装置で、(a)は平面図、(b)は(a)のX-X線で切断した要部断面図

【図9】この発明の第6実施例の半導体装置で、(a)は平面図、(b)は(a)のX-X線で切断した要部断面図

【図10】この発明の第7実施例の半導体装置で、(a)は平面図、(b)は(a)のX-X線で切断した要部断面図

【図11】この発明の第8実施例の半導体装置で、(a)は平面図、(b)は(a)のX-X線で切断した要部断面図

【図12】この発明の第9実施例の半導体装置で、(a)はセルの平面図、(b)は(a)のX-X線で切断したセル断面図

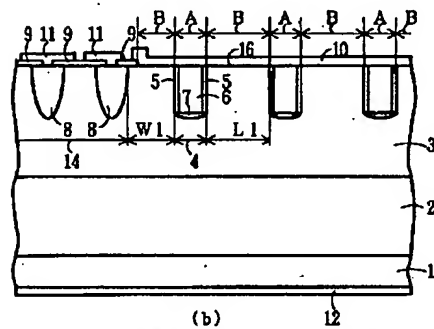
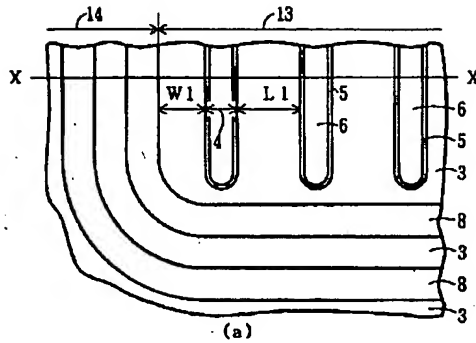
【符号の説明】

- 1 n⁺カソード層
- 2 n中間層
- 3 n⁻ドリフト層
- 4、24 トレンチ溝
- 5 酸化膜
- 6 ポリシリコン
- 7 p⁻アノード層
- 8 p⁺層
- 9 絶縁膜
- 10 アノード電極
- 11 金属膜
- 12 カソード電極
- 13 活性領域
- 14、51 耐圧構造
- 16 ショットキー接合

24 a リング状のトレンチ溝
31 メサ部

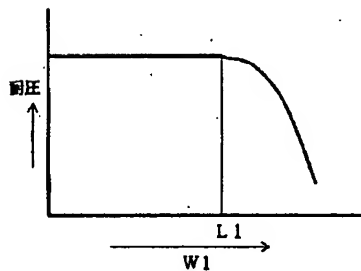
A pnダイオード部
B ショットキーダイオード部

【図1】

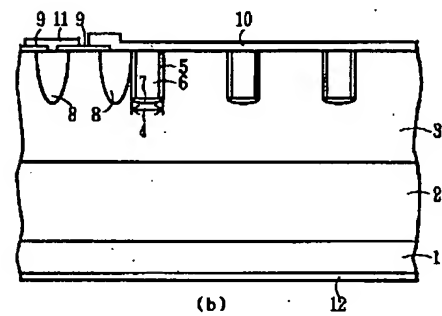
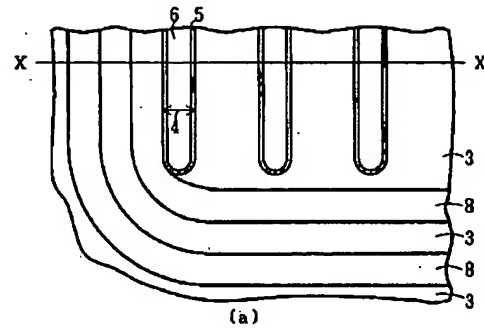


- | | | | |
|---|---------------------------|----|-------------------|
| 1 |n ⁺ カソード層 | 10 |アノード電極 |
| 2 |n ⁺ 中間層 | 11 |金層 |
| 3 |n ⁺ ドリフト層 | 12 |カソード電極 |
| 4 |トレンチ溝 | 13 |活性領域 |
| 5 |酸化膜 | 14 |耐圧領域 |
| 6 |ポリシリコン | 15 |ショットキー接合 |
| 7 |p ⁺ アノード層 | A |pnダイオード部 |
| 8 |p ⁺ 層 | B |ショットキーダイオード部 |
| 9 |絶縁膜 | | |

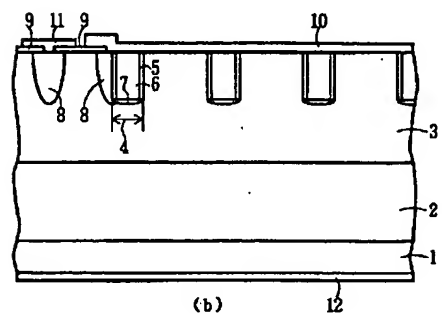
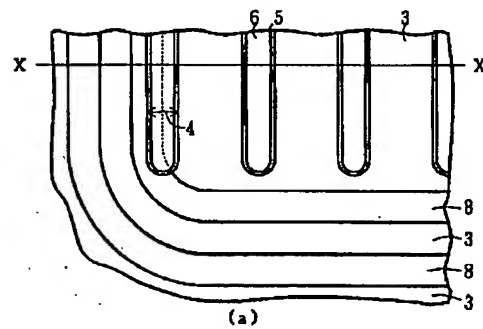
【図4】



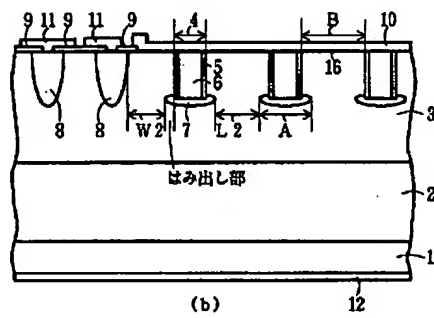
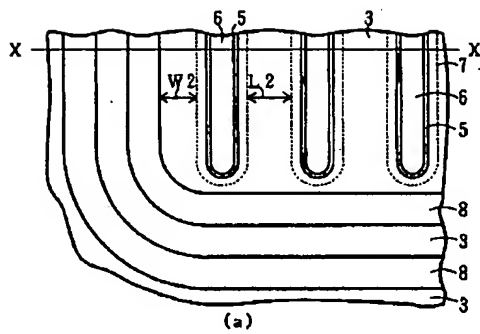
【図2】



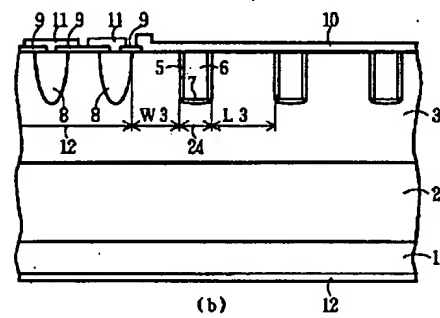
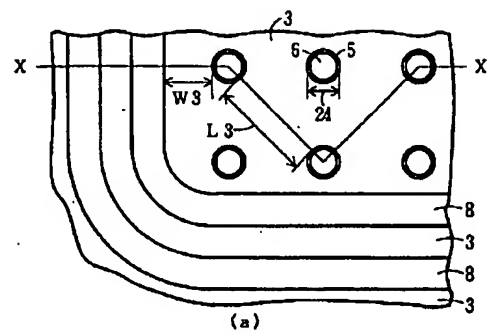
【図3】



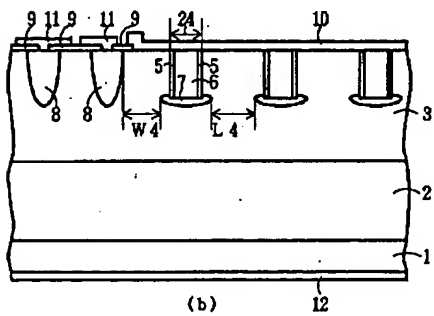
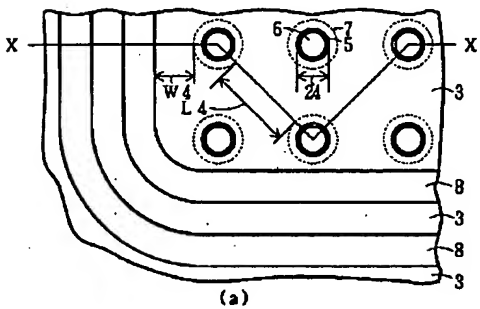
【図5】



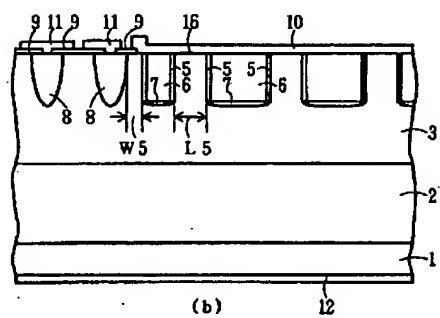
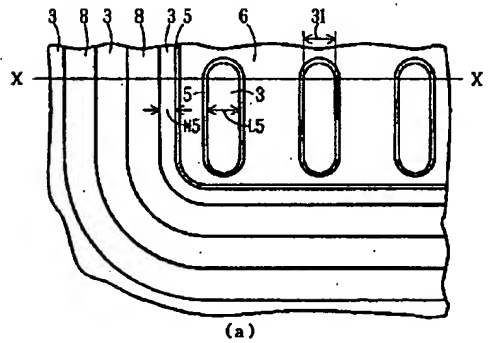
【図6】



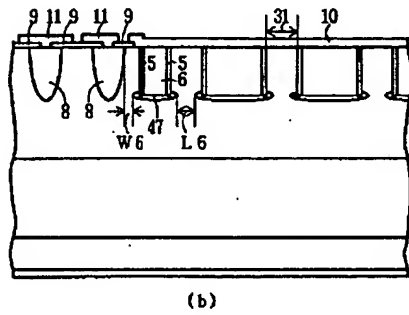
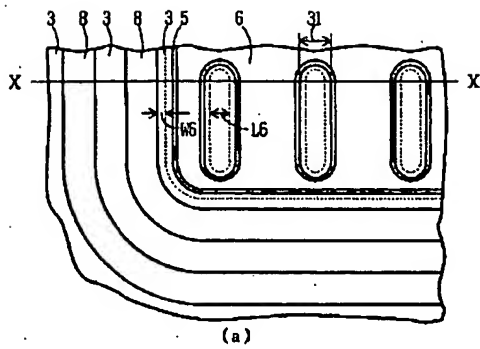
【図7】



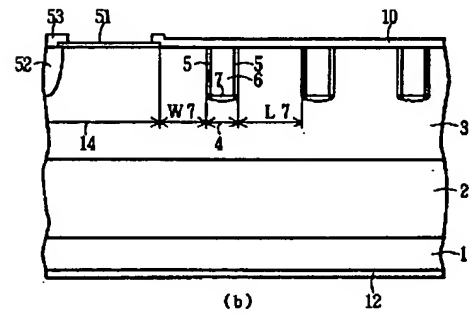
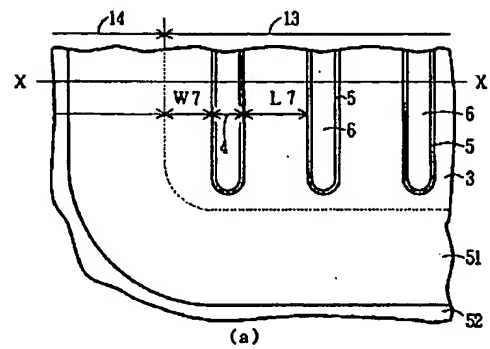
【図8】



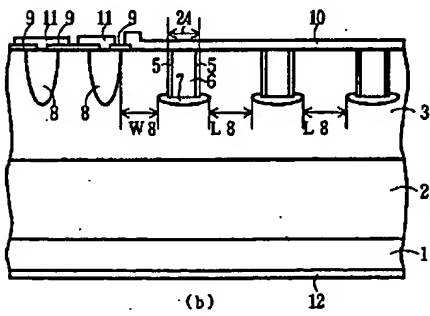
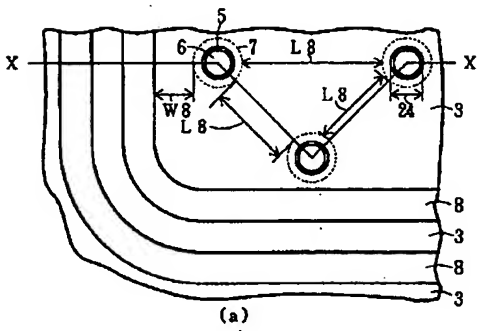
【図9】



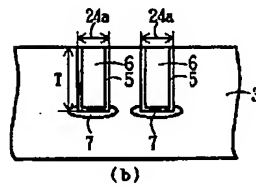
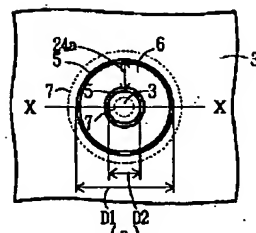
【図10】



【図11】



【図12】



フロントページの続き

(72)発明者 大月 正人
神奈川県川崎市川崎区田辺新田1番1号
富士電機株式会社内

(72)発明者 根本 道生
神奈川県川崎市川崎区田辺新田1番1号
富士電機株式会社内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☒ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.